



Atty. Dkt. No. 059729-0117

#4
ref
7-10-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Teruo KAGANOI et al.
Title: PACKET PROCESSING UNIT
Appl. No.: 10/091,392
Filing Date: 03/07/2002
Examiner: Unknown
Art Unit: 2661

RECEIVED
JUL 08 2002
Technology Center 2600

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- JAPANESE Patent Application No. 2001-210161 filed 07/11/2001.

Respectfully submitted,

Date June 27, 2002

FOLEY & LARDNER
Customer Number: 22428



22428

PATENT TRADEMARK OFFICE

Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By Phillip J. Anticola
for David A. Blumenthal
Attorney for Applicants
Registration No. 26,257

Reg. No.
38,819



CERTIFIED COPY OF
PRIORITY DOCUMENT
本 国 特 許 庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 7月11日

出 願 番 号

Application Number:

特願2001-210161

[ST.10/C]:

[JP2001-210161]

出 願 人

Applicant(s):

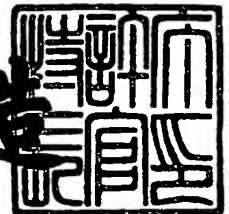
日本電気株式会社

RECEIVED
JUL 08 2002
Technology Center 2600

2002年 2月 8日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3005949

【書類名】 特許願

【整理番号】 42300025

【提出日】 平成13年 7月11日

【特記事項】 特許法第30条第1項の規定の適用を受けようとする特
許出願

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 11/20

【発明者】

 【住所又は居所】 千葉県我孫子市日の出 1 1 3 1
日本電気株式会社NECネットワークスIPネットワー
ク事業部内

 【氏名】 加賀野井 晴大

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 3 0
日本電気株式会社NECネットワークス第一光ネ
ットワーク事業部内

 【氏名】 鎮目 大

【発明者】

 【住所又は居所】 千葉県我孫子市日の出 1 1 3 1
日本電気株式会社NECネットワークスIPネットワー
ク事業部内

 【氏名】 生貝 康行

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100099726

 【弁理士】

 【氏名又は名称】 大塚 秀一

【手数料の表示】

【予納台帳番号】 054612

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9903186

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケット処理装置

【特許請求の範囲】

【請求項 1】 伝送路から受信したパケットの宛先解決を行った後に前記伝送路へ前記パケットを出力するパケット処理装置において、

前記伝送路を介して受信したパケットを所定長のセルに分割して出力するパケット受信手段と、

前記パケット受信手段から受信した前記セルから所定の検索キーを抽出する検索キー抽出手段と、

前記検索キー抽出手段で抽出した前記検索キーに基づく検索を行って、前記キーに対応するメモリアドレスを出力するCAMと、

少なくとも宛先情報を記憶し、入力されたメモリアドレスに記憶した情報を出力する検索情報記憶手段と、

前記CAMから受信した前記メモリアドレスに基づいて前記検索情報記憶手段のメモリアドレスを算出し、前記検索情報記憶手段に供給する検索情報読み出し手段と、

前記検索情報読み出し手段で読み出した前記検索情報記憶手段の情報に基づいて、当該セルの宛先解決を行う宛先解決手段と、

前記宛先解決手段からのセルをパケット戻して前記伝送路へ出力するパケット出力手段とを備えて成り、

前記パケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、パケット出力手段はパイプライン処理を行うことを特徴とするパケット処理装置。

【請求項 2】 前記パケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、パケット出力手段の各ステージは、前記パケット受信手段に入力されるパケットの到達間隔以下に設定されていることを特徴とする請求項 1 記載のパケット処理装置。

【請求項 3】 前記パケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、パケット出力手段の処理時

間は各ステージの時間よりも短く設定されていることを特徴とする請求項 2 記載の packets 処理装置。

【請求項 4】 前記ステージの空き時間に前記 CAM 及び検索情報記憶手段の少なくとも一方の保守を行う保守手段を備えて成ることを特徴とする請求項 3 記載の packets 処理装置。

【請求項 5】 前記伝送路と前記 packets 受信手段の間、及び、前記伝送路と前記 packets 出力手段の間に、タイミング調整用のバッファ手段を備えて成ることを特徴とする請求項 1 乃至 4 のいずれか一に記載の packets 処理装置。

【請求項 6】 前記 packets 受信手段の後段と前記 packets 出力手段の前段の少なくとも一方に前記セルに対する所定の処理を行う演算処理手段を備えて成ることを特徴とする請求項 1 乃至 5 のいずれか一に記載の packets 処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ルータなどにおいて packets の宛先解決等を行う packets 処理装置に関する。

【0002】

【従来の技術】

従来から、ルータなどにおいて、packets の宛先解決等を行うために、packets 処理装置が使用されている。

従来、packets 処理装置において、packets の宛先解決処理、QoS 情報の解決処理、あるいは、必要に応じて packets ヘッダの更新処理等を、ソフトウェア処理によって行う方法がある。

【0003】

【発明が解決しようとする課題】

packets の宛先解決等をソフトウェア処理によって行う方法では、高速な処理を実現できないという問題がある。

この問題を解決する方法として、ハードウェア構成によって実現する方法が考えられる。

【 0 0 0 4 】

しかしながら、ハードウェアで実現する場合、マルチプロトコル、マルチレイヤの処理を行うためには、例えば、パケットフローを識別するためにマルチフィールドによって分類を行うテーブルであるMF (Multi Field) C l a s s s i f y テーブル、フローを意識したフォワードを行うためのフロー宛先解決テーブル等の複数の検索テーブルを実装する必要があり、単に、その各々を個別に処理するための回路やテーブルを用意するような構成では、回路規模の増加を招いてしまうという問題がある。

【 0 0 0 5 】

本発明は、パケットの宛先解決等の処理を、簡単な構成で、高速に行なえるようにすることを課題としている。

【 0 0 0 6 】

【課題を解決するための手段】

本発明によれば、伝送路から受信したパケットの宛先解決を行った後に前記伝送路へ前記パケットを出力するパケット処理装置において、前記伝送路を介して受信したパケットを所定長のセルに分割して出力するパケット受信手段と、前記パケット受信手段から受信した前記セルから所定の検索キーを抽出する検索キー抽出手段と、前記検索キー抽出手段で抽出した前記検索キーに基づく検索を行って、前記キーに対応するメモリアドレスを出力するCAMと、少なくとも宛先情報を記憶し、入力されたメモリアドレスに記憶した情報を出力する検索情報記憶手段と、前記CAMから受信した前記メモリアドレスに基づいて前記検索情報記憶手段のメモリアドレスを算出し、前記検索情報記憶手段に供給する検索情報読み出し手段と、前記検索情報読み出し手段で読み出した前記検索情報記憶手段の情報に基づいて、当該セルの宛先解決を行う宛先解決手段と、前記宛先解決手段からのセルをパケット戻して前記伝送路へ出力するパケット出力手段とを備えて成り、前記パケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、パケット出力手段はパイプライン処理を行うことを特徴とするパケット処理装置が提供される。

【 0 0 0 7 】

パケット受信手段は、前記伝送路を介して受信したパケットを所定長のセルに分割して出力する。検索キー抽出手段は、前記パケット受信手段から受信した前記セルから所定の検索キーを抽出する。CAMは、前記検索キー抽出手段で抽出した前記検索キーに基づく検索を行って、前記キーに対応するメモリアドレスを出力する。検索情報読み出し手段は、前記CAMから受信した前記メモリアドレスに基づいて前記検索情報記憶手段のメモリアドレスを算出し、前記検索情報記憶手段に供給する。宛先解決手段は、前記検索情報読み出し手段で読み出した前記検索情報記憶手段の情報に基づいて、当該セルの宛先解決を行う。パケット出力手段は、前記宛先解決手段からのセルをパケット戻して前記伝送路へ出力する。このとき、前記パケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、パケット出力手段はパイプライン処理を行う。

【0008】

ここで、前記パケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、パケット出力手段の各ステージは、前記パケット受信手段に入力されるパケットの到達間隔以下に設定されているように構成してもよい。

また、前記パケット受信手段、検索キー抽出手段、CAM、検索情報記憶手段、検索情報読み出し手段、宛先解決手段、パケット出力手段の処理時間は各ステージの時間よりも短く設定されているように構成してもよい。

【0009】

また、前記ステージの空き時間に前記CAM及び検索情報記憶手段の少なくとも一方の保守を行う保守手段を備えて成るように構成してもよい。

また、前記伝送路と前記パケット受信手段の間、及び、前記伝送路と前記パケット出力手段の間に、タイミング調整用のバッファ手段を備えて成るように構成してもよい。

また、前記パケット受信手段の後段と前記パケット出力手段の前段の少なくとも一方に前記セルに対する所定の処理を行う演算処理手段を備えて成るように構成してもよい。

【 0 0 1 0 】

【発明の実施の形態】

図 1 は、本発明の第 1 の実施の形態に係るパケット処理装置のブロック図である。本第 1 の実施の形態に係るパケット処理装置を備える装置として、例えば、ルータがあげられる。

図 1 において、11 はパケット受信手段としてのパケット入力回路、12 は検索キー抽出手段としての検索キー抽出回路、13 はパイプライン検索が可能な CAM (Content Addressable Memory)、14 は検索情報抽出手段としての検索情報アドレス送受信回路、15 は検索情報記憶手段としての検索情報格納メモリ、16 は宛先解決手段としての検索情報受信回路、17 はパケット出力手段としてのパケット出力回路で、いずれもハードウェアによって構成されている。

【 0 0 1 1 】

ここで、CAM13 はメモリ機能のみならず検索機能を有しており、CAM13 に予め記憶されているデータと同一のデータを CAM13 に入力すると、CAM13 は該データが記憶されている CAM13 のアドレスを出力する。CAM13 は、LPM (Longest Prefix Match) 検索、様々な検索ビット幅による検索が可能であり、検索キーの種類やビット幅に依存しないで高速な検索が可能である。また、CAM13 の記憶データが増加した場合にも検索性能の劣化がないという特性を有しているため、CAM13 のデータ量が多量の場合にも、迅速な検索が可能である。

【 0 0 1 2 】

一方、検索情報格納メモリ15には、パケットの宛先情報やクラス情報等が格納されている。

尚、パケット入力回路11、検索キー抽出回路12、検索情報アドレス送受信回路14、検索情報受信回路16、パケット出力回路17は、パケット処理手段としてのパケット処理部10を構成している。

パケット入力回路11は、例えば、IP (Internet Protocol) パケットのような可変長のパケットを受信して、ATM (Asynchronous Transfer Mode) セルのように固定長に区切られた形態の信号を出力する。ここで、パケット入力回路

1 1 から出力される信号を今後セルと呼ぶことにする。

【 0 0 1 3 】

パケット入力回路 1 1 から出力されたセルは、1 ステージあたり n クロックのパイプラインで、パケット処理装置の各構成要素（パケット入力回路 1 1、検索キー抽出回路 1 2、CAM 1 3、検索情報アドレス送受信回路 1 4、検索情報格納メモリ 1 5、検索情報受信回路 1 6、パケット出力回路 1 7）の各ステージを切り替えながら処理が行われる。

【 0 0 1 4 】

I P パケットなどの宛先情報や Q o S の情報は多くの場合ヘッダ部分に格納されているので、仮にセルよりも大きいサイズのパケットがパケット入力回路 1 1 に入力され、パケット入力回路 1 1 から複数のセルに分割されて出力される場合、各ステージにおいては先頭のセルについてのみ処理を行い、2 番目以降のセルについては特に何の処理もする必要はない。従って、以降の処理は先頭セルについてのみ行われ、後続する他のセルについては何の処理もせずにパイプラインの各ステージが切り替わる。

【 0 0 1 5 】

まず、検索キー抽出回路 1 2 は、パケット入力回路 1 1 から受信したセルの中から必要な検索キーを抽出し、次に、前記検索キーをパイプライン検索が可能な CAM 1 3 に入力することにより、CAM 1 3 で検索が実行される。ここで、検索キーは、パケットをどこへ転送するかを解決したり、どのような種類のパケットが転送されてきたのか等を詳細に識別 (Classification) するためのキーであり、例えば I P パケットの場合、ヘッダの宛先アドレス、送信元アドレス、プロトコルタイプ、サービスタイプ等のフィールドが検索キーとして使用される。

【 0 0 1 6 】

CAM 1 3 は、検索キー抽出回路 1 2 から入力された検索キーに基づいて検索処理を行い、検索の結果ヒットした CAM 1 3 のメモリアドレス（検索キーが記憶されている CAM 1 3 のメモリアドレス）を出力する。

検索情報アドレス送受信回路 1 4 は、CAM 1 3 から前記メモリアドレスを受信し、前記メモリアドレスから、実際の検索情報が格納されている検索情報格納

メモリ15のメモリアドレスを、CAM13のアドレスと検索情報格納メモリ15のアドレスとを予め関連付けた規則に基づいて算出する。

【0017】

そして、検索情報アドレス送受信回路14が該メモリアドレスを検索情報格納メモリ15に与えることにより、検索情報メモリアドレス15から、実際の検索情報が得られることになる。即ち、検索情報格納メモリ15は、検索情報アドレス送受信回路14から入力された前記メモリアドレスに記憶しているデータ（検索情報）を検索情報受信回路16に出力する。

検索情報受信回路16は、前記検索情報に基づいて、パケット（直接的にはセル）に対して必要なヘッダ更新や宛先の解決を行った後、パケット出力回路17に出力する。パケット出力回路17は、入力回路11によって分割された複数のセルを合成して一つのパケットとし、該更新されたパケットをネットワークに出力する。

【0018】

nクロックによって構成されるパイプラインの1ステージを、最短のパケット到着間隔（固定長セルサイズに等しい）と同じかそれよりも小さい値にすることにより、本構成のパイプラインでパケット入力回路11から連続的にパケットが到着したとしても、滞ることなくそのままの速度でパケット処理が可能となる。

また1ステージあたりnクロックのパイプラインとすることにより、検索キー抽出回路12、CAM13での検索処理が1パケットあたり1回の検索に限らずに複数回の検索を行うことができ、1つのパケットに対して単一の処理ではなく複数の処理を実行するために必要な情報を得ることができる。

【0019】

更に、前記パイプライン構成を実際にパケット入力回路11からパケットが到着する速度よりも少し速く動作させることにより、定期的にパイプライン処理の各ステージに空き時間を作ることが可能になり、前記空き時間を使って、図示しない保守手段により、CAM13や外部メモリ15に記憶したデータの点検や更新等の保守を行うことが可能になる。

【0020】

図 2 は、図 1 に示すパケット処理装置のタイミング図である。図 2 では、説明を簡単にするために 3 つのセルが連続して到着している場合の図を示している。また、パイプラインのクロックサイクル（1 ステージあたりのクロック数 n ）は 8 クロックとしている。処理の全体は、符号 1 1 ～符号 1 7 で示す 7 つのパイプラインステージで構成されており、符号 1 1 ～符号 1 7 は、各々、パケット処理装置の構成要素である図 1 のパケット入力回路 1 1 ～パケット出力回路 1 7 中の対応する符号を有する構成要素の処理を表している。以下、図 1 及び図 2 を用いて本第 1 の実施の形態の動作を詳細に説明する。

【 0 0 2 1 】

パケット入力回路 1 1 は伝送路 1 を介してネットワークからパケットを受信し、受信したパケットを所定長にのセルに分割して出力する。本実施の形態では、前記セルは 8 クロック分の長さにされる。前記セルは、その後も 8 クロックのパイプラインで検索キー抽出回路 1 2 ～パケット出力回路 1 7 の各ステージを切り替えながら処理が行われる。

【 0 0 2 2 】

まず、パケット入力回路 1 1 でパケットを受信しつつどのようなパケットを受信したかとそれに必要となる検索キーがどのようなものかを決定する。パケット種別の判別方法としては、例えば、IP パケットをカプセル化したイーサネットフレームの場合、イーサネットのヘッダ中のフィールド（Payload Type）を判別することにより、IP パケットであることを判別することができる。また、検索キーとしては、前述したように、例えば IP パケットの場合、ヘッダの宛先アドレス、送信元アドレス、プロトコルタイプ、サービスタイプ等のフィールドがある。

【 0 0 2 3 】

次に検索キー抽出回路 1 2 でセルの中から必要な検索キーを抽出し、CAM 1 3 に前記検索キーを出力して検索指示を与える。ここで、CAM 1 3 はパイプライン検索すなわち各クロックに応答して検索を行うことが可能なものを前提としている。従って検索キー抽出回路 1 2 が処理を行うステージでは、1 種類の検索キーを抽出するだけでなく、1 ステージ内に収まる範囲（本実施の形態では 1 ス

ページあたり 8 クロックであるため最大 8 回の検索が可能) で複数種類の検索キーを抽出し、CAM 1 3 に検索指示を与えることもできる。更に検索種類を増やしたい場合には、検索キー抽出回路 1 2 が処理を行うステージの数を増やすか、パイプラインクロックのサイクル数 n を増やせばよい。

【 0 0 2 4 】

CAM 1 3 は、検索キー抽出回路 1 2 から検索キーを受信して、 m (m : 自然数) クロックのレイテンシをもって検索の結果ヒットしたアドレスを送出するので、検索情報アドレス送受信回路 1 4 はそれを受信し実際の検索情報が格納されている検索情報格納メモリ 1 5 のアドレス (検索情報アドレス) を算出し、該検索情報アドレスを検索情報格納メモリ 1 5 に与える。検索キー抽出回路 1 2 の処理ステージ 1 2 で複数種類の検索を実行した場合には、それぞれの検索に対して上記動作が繰り返される。

【 0 0 2 5 】

ここで、検索キー抽出回路 1 2 から CAM 1 3 への検索キーの引き渡し処理と CAM 1 3 から検索情報アドレス送受信回路 1 4 への検索情報アドレスの出力処理、さらに前記検索情報アドレスを元にした検索情報メモリ 1 5 への検索情報の読み出し指示が並列に実行されるため、無駄なく常に検索処理を行うことが可能となる。

【 0 0 2 6 】

検索の結果得られた検索情報は、検索情報格納メモリ 1 5 から検索情報受信回路 1 6 に出力され、検索情報受信回路 1 6 は、前記検索情報に基づいて、パケット (直接的にはセル) に対して必要なヘッダ更新や宛先の解決を行う。ここで、検索キー抽出回路 1 2 において複数種類の検索指示が与えられている場合、検索情報としても複数種類得ることができるので、その各々の検索結果得られる検索情報に応じた処理を行ってもよいし、複数種類の検索情報を合わせてあるいは、優先度を付けて必要な処理を実行してもよい。

【 0 0 2 7 】

そして最後に、更新されたパケットがパケット出力回路 1 7 から、伝送路 2 を介してネットワークへ出力される。図 2 では 3 つのセルが連続して到着している

が、例えばこのうち最初に到着したセルと 2 番目に到着したセルで 1 つのパケットを構成している場合には、パケット入力回路 1 1 または検索キー抽出回路 1 2 のステージにおいて、先頭セルかどうかを判別し、先頭セルでない場合には上記処理は行わずに各パイプラインステージが切り替わるだけとなる。

更に、このパイプライン構成を、実際にパケット入力回路 1 1 からパケットが到着する速度よりも少し速く動作させることにより、定期的にパイプライン処理に空き時間（ステージ）を作ることが可能になり、前記空き時間を使って図示しない保守手段により、CAM 1 3 や外部メモリ 1 5 の保守を行うことが可能になる。

【 0 0 2 8 】

以上述べたように、本第 1 の実施の形態に係るパケット処理装置は、特に、伝送路から受信したパケットの宛先解決を行った後に前記伝送路へ前記パケットを出力するパケット処理装置において、伝送路 1 を介して受信したパケットを所定長のセルに分割して出力するパケット入力回路 1 1 と、パケット入力回路 1 1 から受信した前記セルから所定の検索キーを抽出する検索キー抽出回路 1 2 と、検索キー抽出回路 1 2 で抽出した前記検索キーに基づく検索を行って、前記キーに対応するメモリアドレスを出力する CAM 1 3 と、少なくとも宛先情報を記憶し、入力されたメモリアドレスに記憶した情報を出力する検索情報角の梅森 1 5 と、CAM 1 3 から受信した前記メモリアドレスに基づいて、CAM 1 3 の前記メモリアドレスに対応する検索情報格納メモリ 1 5 のメモリアドレスを算出し、検索情報格納メモリ 1 5 に供給する検索情報アドレス送受信回路 1 4 と、検索情報アドレス送受信回路 1 4 で読み出した検索情報格納メモリ 1 5 の情報に基づいて、当該セルの宛先解決を行う検索情報受信回路 1 6 と、検索情報受信回路 1 6 からのセルを合成することによってパケットを生成し伝送路 2 へ出力するパケット出力回路 1 7 とを備えて成り、パケット入力回路 1 1、検索キー抽出回路 1 2、CAM 1 3、検索情報格納メモリ 1 5、検索情報アドレス送受信回路 1 4、検索情報受信回路 1 6、パケット出力回路 1 7 はパイプライン処理を行うことを特徴としている。

【 0 0 2 9 】

したがって、 n クロックを最短のパケット到着間隔（固定長セルサイズ）と同じかそれよりも小さい値にすれば、本構成のパイプラインでパケット入力回路 11 から連続的にパケットが到着したとしても滞ることなくそのままの速度でパケット処理が可能となり、例えば超高速ルータのフォワーディングエンジンとして用いることができる。

【0030】

また、1 ステージあたり n クロックのパイプラインとすることにより検索キー抽出回路 12、CAM 13 での検索処理が 1 パケットあたり 1 回の検索に限らずに複数回の検索を行うことができ、1 つのパケットに対して単一の処理ではなく複数の処理を実行する、あるいは複数の検索を通じて優先度を付けてある一種類の検索情報を得て、それに対する処理を実行することができる。

また、複数のテーブルを 1 つの CAM 13 に実装し、1 つの回路で制御、検索することが可能であり、回路規模を削減できる。

【0031】

図 3 は本発明の第 2 の実施の形態に係るパケット処理装置のブロック図で、図 1 と同一部分には同一符号を付している。また、図 4 は、図 3 に示すパケット処理装置のタイミング図である。

本第 2 の実施の形態では、パケットを受信してパケット入力回路 11 に出力する処理タイミング調整用のバッファ手段としての入力バッファ 18 およびパケット出力回路 17 からパケットを受信して出力する処理タイミング調整用のバッファ手段としての出力バッファ 19 を備えている点で、前記第 1 の実施の形態と相違している。

【0032】

本第 2 の実施の形態では、入力バッファ 18 へ入力されるパケットの周期や出力バッファ 19 から出力されるパケットの周期よりも、パケット入力回路 11 からパケット出力回路 17 のパイプラインステージが短い周期となっており、そのために入力バッファ 18 と出力バッファ 19 を実装し、伝送路 1、2 との間で送受信するパケットの周期と、パケット処理装置における処理タイミングの調整を行っている。

【0033】

このように、パケット処理装置内部のパイプラインサイクルを、外部から到着するパケットの周期よりも短くすることにより、パケット処理装置内部で何の処理もせずにすむ空き時間（図4の「M」）を作ることができる。ここでできた空き時間を利用して、複雑な競合制御を行うことなくCAM13や検索情報格納メモリ15のデータ更新を行うことができる。

【0034】

そのタイミング図の一例が図4となるが、ここでは、入力バッファ18に入力されるセル周期と出力バッファ19から出力されるセル周期は共に等しく、且つ、入力バッファ18に入力されるセル周期及び出力バッファ19から出力されるセル周期の4/5の周期で、パケット入力回路11からパケット出力回路17に至るパイプライン処理が実行されている。

【0035】

従って仮に入力バッファ18や出力バッファ19のサイクルで連続的にセルが到着しても、パケット入力回路11からパケット出力回路17のステージについては、5サイクルに1サイクルは必ず処理を行わなくてよいステージが存在することになり、ここでCAM13や検索情報格納メモリ15のメンテナンスを複雑な競合制御をすることなく行うことが可能となる。

【0036】

図5は本発明の第3の実施の形態に係るパケット処理装置のブロック図で、図1と同一部分には同一符号を付している。

本第3の実施の形態では、パケット入力回路11と検索キー抽出回路12のステージの間に演算処理回路110を設けている点で、前記第1の実施の形態と相違している。

【0037】

前記第1、第2の実施例では可変長パケットを受信した際に先頭セルだけを処理する事としていたが、ルータ等においては例えばパケットの暗号化のようにパケット全体に渡って所定の演算をしなければいけないようなこともありえる。そのために演算処理回路110を設け、演算処理回路110に関しては先頭セルだ

けでなく、他のセルに対しても、ある所定の演算処理を実行する。ここで、パケットに対する所定の演算処理の例としては、例えば、イーサネットのパケットの最後に F C S (Frame Check Sequence) を付ける処理がある。これにより、可変長パケット全体に渡ってある演算処理を実行したい場合にも対応することが可能となる。

【 0 0 3 8 】

図 6 は本発明の第 4 の実施の形態に係るパケット処理装置のブロック図で、図 3 と同一部分には同一符号を付している。

本第 4 の実施の形態では、演算処理回路 1 1 0 を、検索情報受信回路 1 6 とパケット出力回路 1 7 との間に設けている点で、前記第 3 の実施の形態と相違している。

前記第 3 の実施の形態では、更新前のパケット全体に対して所定の演算が実行できるが、本第 4 の実施の形態では、検索情報受信回路 1 6 によるヘッダ情報の更新後にパケット全体に対して所定の演算処理が実行できる点が異なる。ここで、前記所定の演算処理の例としては、前述したように例えば、イーサネットのパケットの最後に F C S (Frame Check Sequence) を付ける処理がある。これにより、可変長パケット全体に渡ってある演算処理を実行したい場合にも対応することが可能となる。

【 0 0 3 9 】

図 7 は本発明の第 5 の実施の形態に係るパケット処理装置のブロック図で、図 1、図 3、図 5、図 6 と同一部分には同一符号を付している。

本第 5 の実施の形態は、第 2 ～ 第 4 の実施の形態の構成要素を全て組み込んだ構成のものであり、C A M 1 3 や検索情報格納メモリ 1 5 のメンテナンスを、複雑な競合制御をすることなく行うことが可能になる。

【 0 0 4 0 】

また、前記第 3 ～ 第 5 の実施の形態のように、パケット入力回路 1 1 の後段とパケット出力回路 1 7 の前段の少なくとも一方に、セルに対する所定の処理を行うことによって、パケット全体にわたって所定の処理（例えば、暗号化処理あるいは F C S の挿入処理）を行う演算処理回路 1 1 0 を備えることにより、受信時

の packets 全体に対して特定の演算処理行ったり、ヘッダ情報更新後に packets 全体に対して所定の演算処理が実行できるようになる。

【 0 0 4 1 】

【発明の効果】

本発明によれば、packets の宛先解決等の処理を、簡単な構成で、高速に行なうことが可能になる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態に係る packets 処理装置のブロック図である。

【図 2】 本発明の第 1 の実施の形態に係る packets 処理装置のタイミング図である。

【図 3】 本発明の第 2 の実施の形態に係る packets 処理装置のブロック図である。

【図 4】 本発明の第 2 の実施の形態に係る packets 処理装置のタイミング図である。

【図 5】 本発明の第 3 の実施の形態に係る packets 処理装置のブロック図である。

【図 6】 本発明の第 4 の実施の形態に係る packets 処理装置のブロック図である。

【図 7】 本発明の第 5 の実施の形態に係る packets 処理装置のブロック図である。

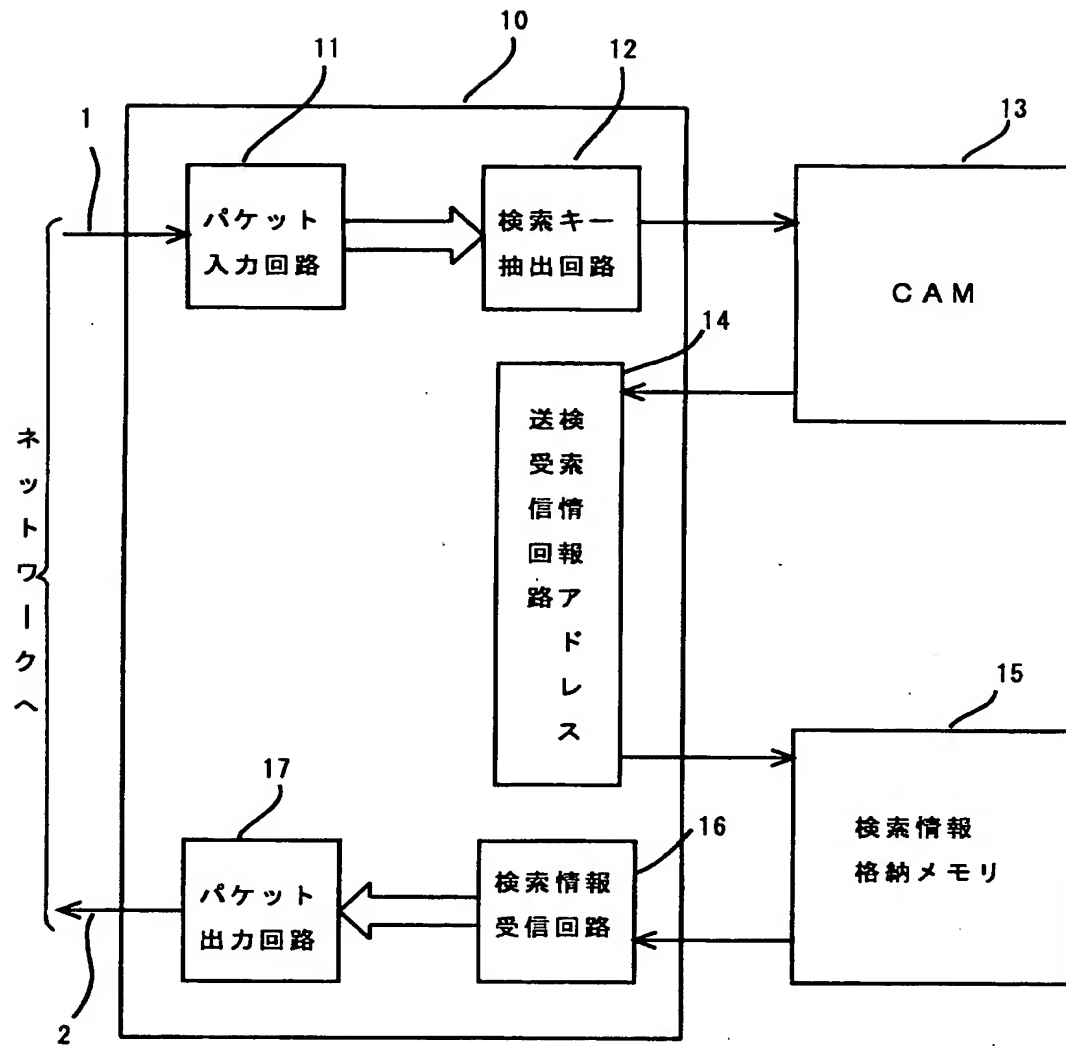
【符号の説明】

- 1 0 . . . packets 処理手段としての packets 処理部
- 1 1 . . . packets 受信手段としての packets 入力回路
- 1 2 . . . 検索キー抽出手段としての検索キー抽出回路
- 1 3 . . . CAM
- 1 4 . . . 検索情報読み出し手段としての検索情報アドレス送受信回路
- 1 5 . . . 検索情報記憶手段としての検索情報格納メモリ
- 1 6 . . . 宛先解決手段としての検索情報受信回路

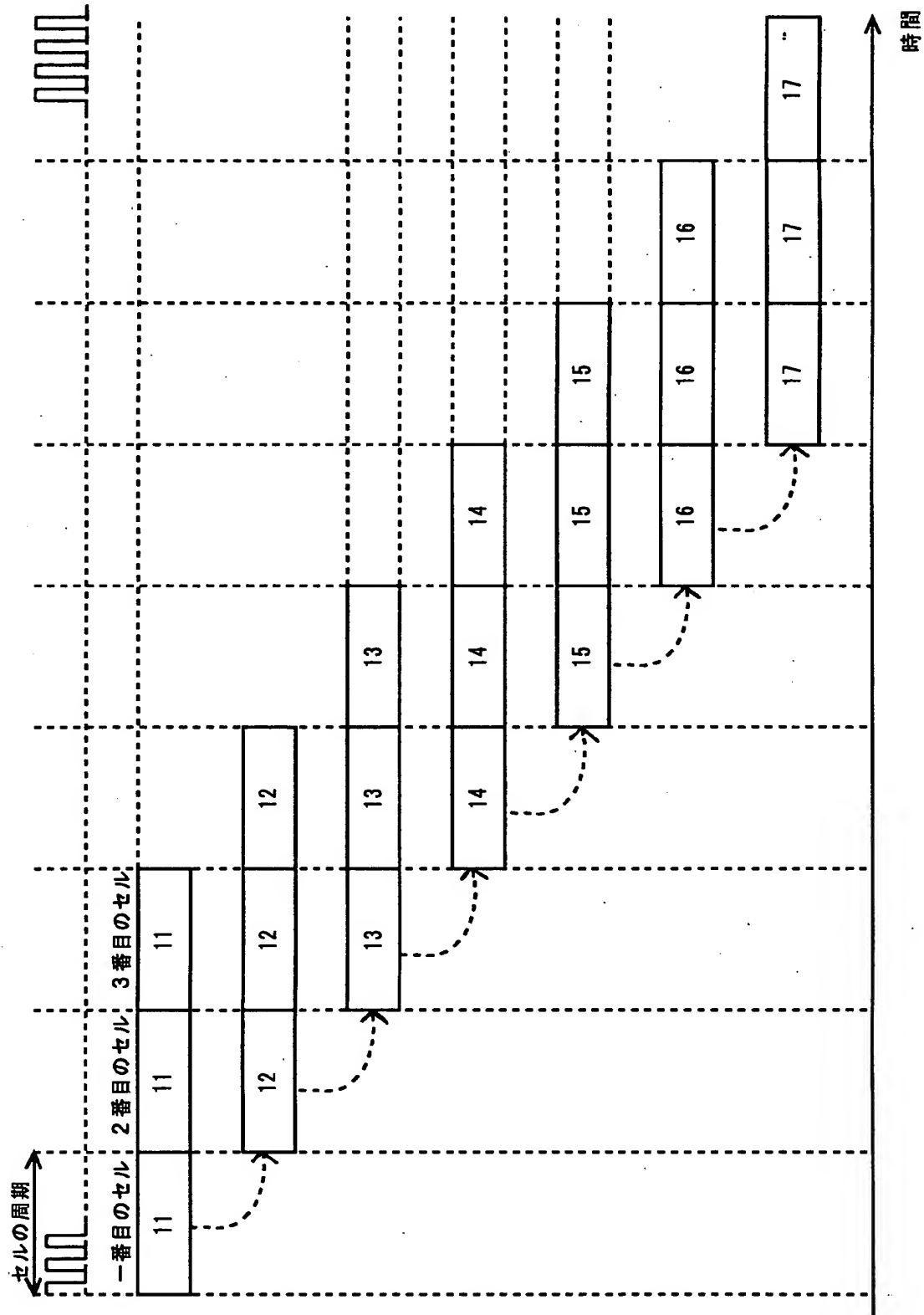
- 1 7 . . . パケット出力手段としてのパケット出力回路
- 1 8 . . . 入力バッファ手段としての入力バッファ回路
- 1 9 . . . 出力バッファ手段としての出力バッファ回路
- 1 1 0 . . . 演算処理手段としての演算処理回路

【書類名】 図面

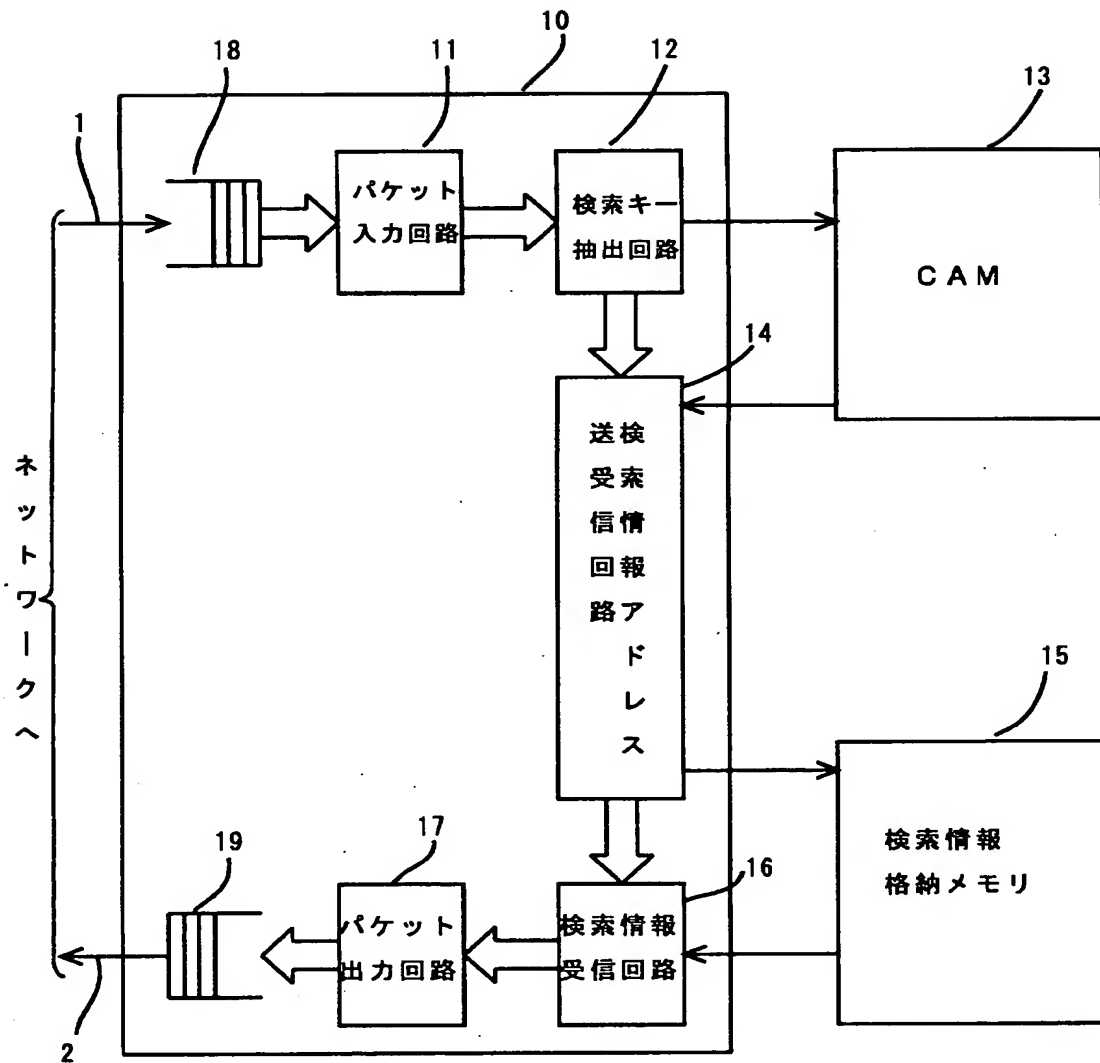
【図 1】



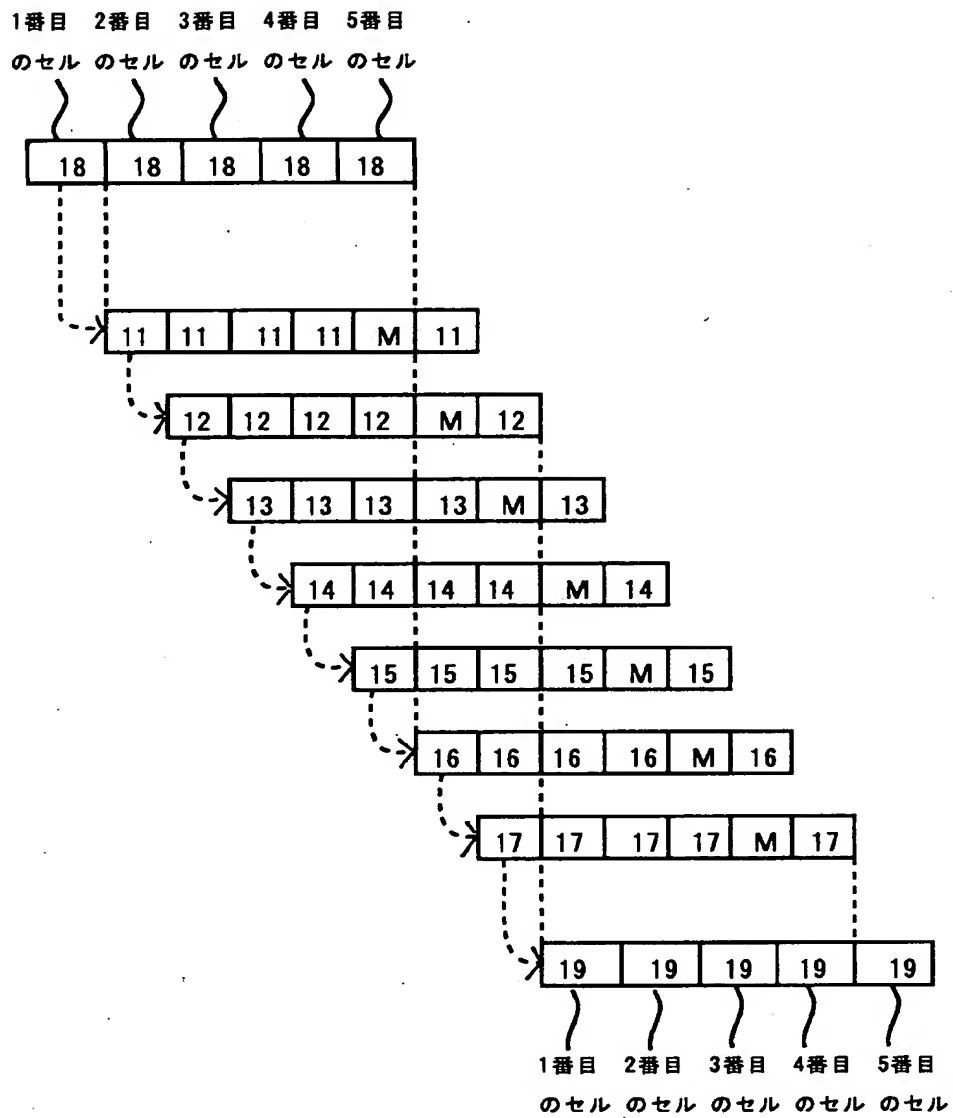
【図 2】



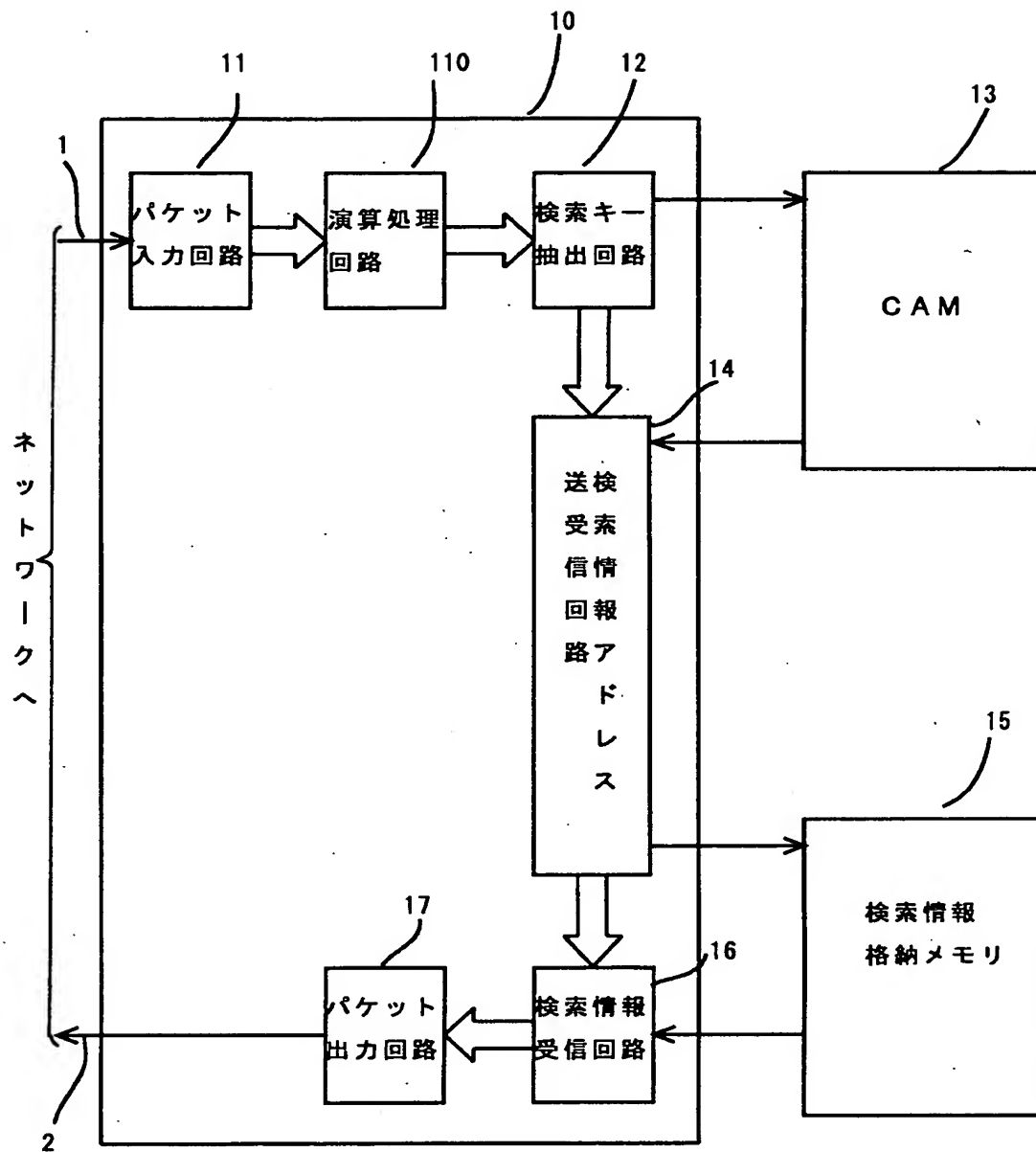
【図 3】



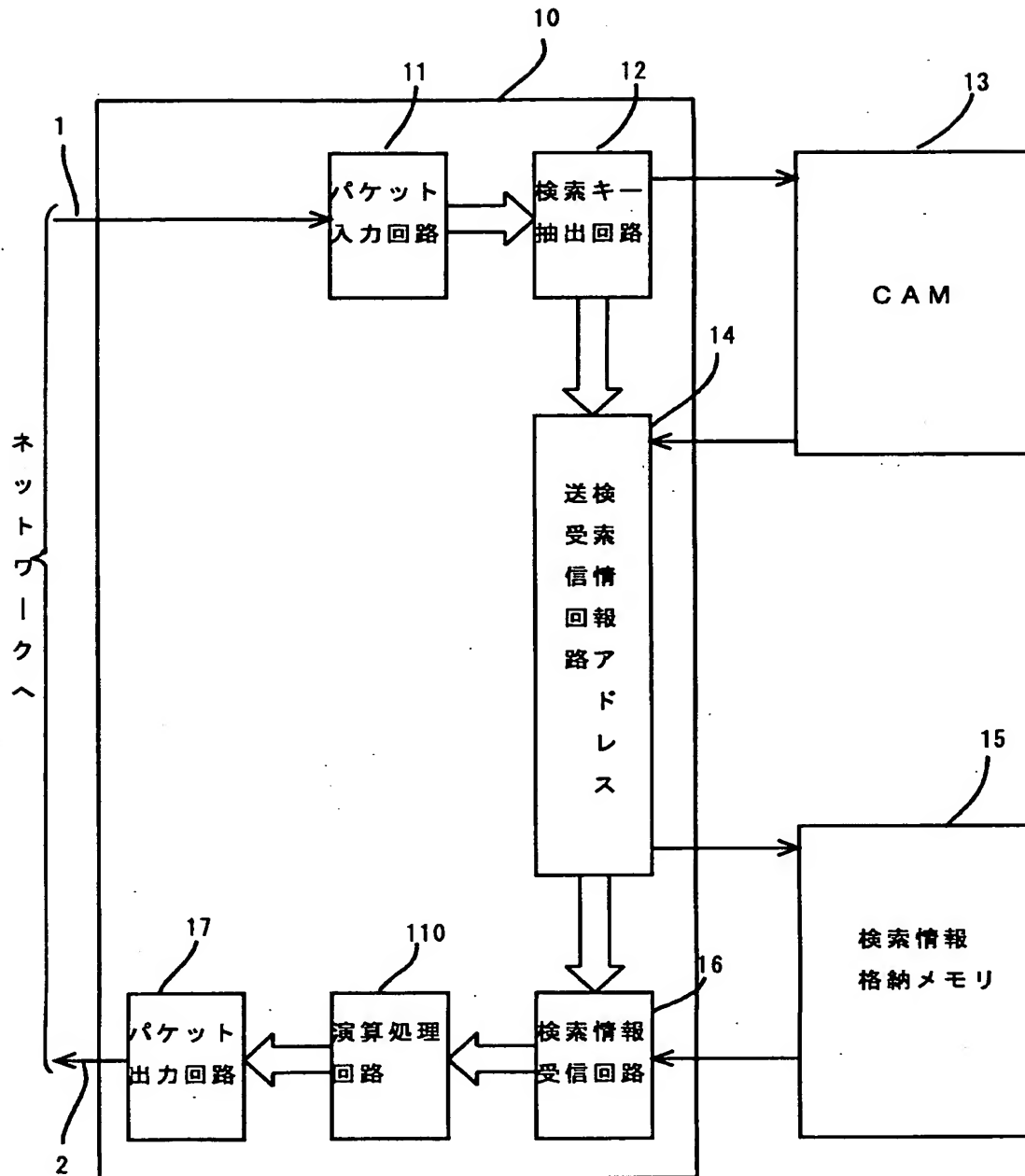
【図 4】



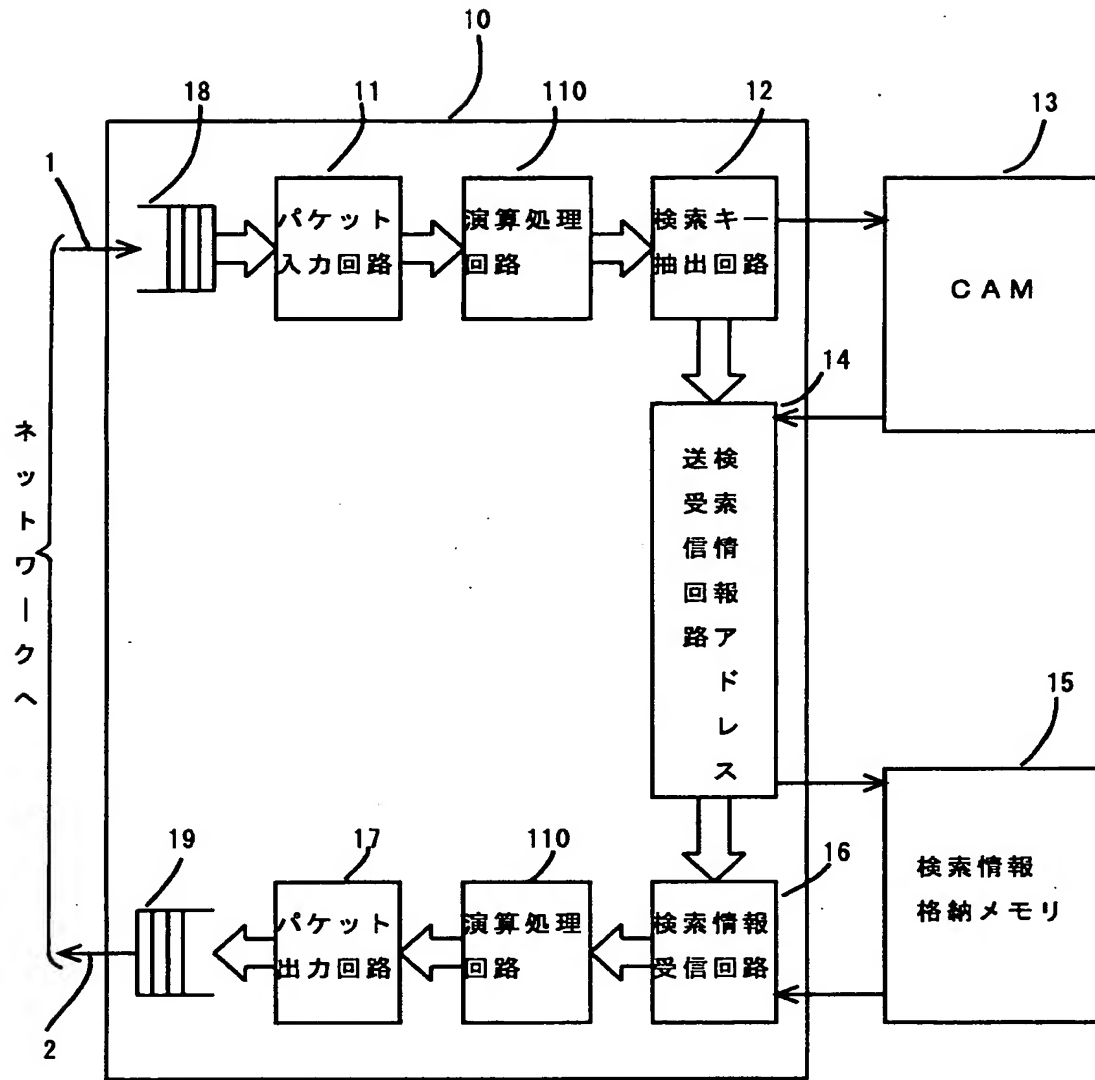
【図5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 パケットの宛先解決等の処理を、簡単な構成で、高速に行なえるようにすること。

【解決手段】 パケット入力回路 1 1 は伝送路 1 から受信したパケットを所定長のセルに分割して出力し、検索キー抽出回路 1 2 は前記セルから所定の検索キーを抽出し、CAM 1 3 は前記検索キーに基づく検索を行って、対応するメモリアドレスを出力し、検索情報アドレス送受信回路 1 4 は前記メモリアドレスに基づいて検索情報格納メモリ 1 5 のメモリアドレスを算出し、前記検索情報格納メモリ 1 5 の前記メモリアドレスに記憶された情報を検索情報として出力し、検索情報受信回路 1 6 は前記検索情報を受信して、前記セルのヘッダ更新や宛先解決を行い、パケット出力回路 1 7 は前記セルをパケットにして伝送路 2 へ出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社